

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年12月17日
Date of Application:

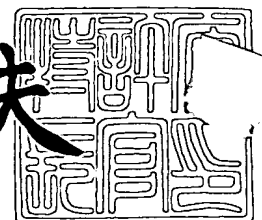
出願番号 特願2003-419572
Application Number:
[ST. 10/C]: [JP2003-419572]

出願人 太陽誘電株式会社
Applicant(s):

2004年 3月 2日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3015472

【書類名】 特許願
【整理番号】 JP03-0081
【あて先】 特許庁長官殿
【国際特許分類】 H02M 3/155
【発明者】
 【住所又は居所】 東京都台東区上野 6 丁目 1 6 番 2 0 号 太陽誘電株式会社内
 【氏名】 岡田 輝雄
【特許出願人】
 【識別番号】 000204284
 【氏名又は名称】 太陽誘電株式会社
【代理人】
 【識別番号】 100071054
 【弁理士】
 【氏名又は名称】 木村 高久
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-133212
 【出願日】 平成15年 5月12日
【手数料の表示】
 【予納台帳番号】 006460
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0002394

【書類名】 特許請求の範囲**【請求項 1】**

所定周期のクロックパルスに基づき生成される駆動パルスにより入力電源をオンオフ制御するスイッチング素子を有し、該スイッチング素子のオン制御により前記入力電源から負荷に対して電流を流し、該スイッチング素子のオフ制御により前記負荷に対してフライホイール電流を流すスイッチング電源回路において、

前記スイッチング素子を流れる電流が第 1 の基準値に達したことを検出する過電流検出手段と、

前記フライホイール電流が第 2 の基準値に達したことを検出するフライホイール電流検出手段と、

前記過電流検出手段の検出出力に基づき前記スイッチング素子をオフ制御する過電流保護動作を行うとともに、該過電流保護動作時には、前記フライホイール電流検出手段により検出された前記フライホイール電流が前記第 2 の基準値に達した後のクロックパルスのタイミングで前記スイッチング素子をオン制御する過電流保護回路と

を具備することを特徴とするスイッチング電源回路。

【請求項 2】

前記フライホイール電流検出手段は、

フライホイール電流路に設けられた電流検出抵抗の出力に基づき前記フライホイール電流を検出する

ことを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 3】

前記フライホイール電流検出手段は、

フライホイール電流路に設けられ、前記スイッチング素子に同期してオンオフ制御される第 2 のスイッチング素子のオン抵抗を利用して前記フライホイール電流を検出する

ことを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 4】

前記フライホイール電流検出手段は、

フライホイール電流路に設けられ、前記スイッチング素子に同期してオンオフ制御される第 2 のスイッチング素子とカレントミラー回路を構成する第 3 のスイッチング素子を有し、

前記第 3 のスイッチング素子を流れる電流に基づき前記フライホイール電流を検出することを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 5】

前記第 2 の基準値が零以上の値に設定されることを特徴とする請求項 1 記載のスイッチング電源回路。

【請求項 6】

ソース端子、ドレイン端子およびゲート端子を備えたスイッチング素子と、

前記ソース端子に接続された電力供給源と、

前記ドレイン端子に接続された負荷と、

前記ゲート端子に接続されたコントロール回路と、

前記ドレイン端子から前記負荷までの電流路上に配置されたインダクタと、

前記ソース端子から前記負荷までの電流路上に配置された第 1 の電流検出抵抗と、

前記第 1 の電流検出抵抗に接続された第 1 の比較器と、

前記ドレイン端子から接地端子までの電流路上に配置された第 2 の電流検出抵抗と、

前記第 2 の電流検出抵抗に接続された第 2 の比較器と

を具備することを特徴とするスイッチング電源回路。

【請求項 7】

前記第 2 の比較器は接地電位またはプラス電位を基準として使用することを特徴とする請求項 6 記載のスイッチング電源回路。

【請求項 8】

所定周期のクロックパルスに基づき生成される駆動パルスにより入力電源をオンオフ制御するスイッチング素子を有し、該スイッチング素子のオン制御により前記入力電源から負荷に対して電流を流し、該スイッチング素子のオフ制御により前記負荷に対してフライホイール電流を流すスイッチング電源回路の過電流保護方法において、

前記スイッチング素子を流れる電流が第1の基準値に達したことを過電流検出手段により検出するとともに、

前記フライホイール電流が第2の基準値に達したことをフライホイール電流検出手段により検出し、

前記過電流検出手段の検出出力に基づき前記スイッチング素子をオフ制御する過電流保護動作を行い、

該過電流保護動作時には、前記フライホイール電流検出手段により検出された前記フライホイール電流が前記第2の基準値に達した後の前記クロックパルスのタイミングで前記スイッチング素子をオン制御する

ことを特徴とするスイッチング電源回路の過電流保護方法。

【書類名】明細書

【発明の名称】スイッチング電源回路およびその過電流保護方法

【技術分野】

【0001】

この発明は、スイッチング電源回路およびその過電流保護方法に関し、特に過電流からの回路素子等の破壊を確実に保護するようにしたスイッチング電源回路およびその過電流保護方法に関する。

【背景技術】

【0002】

図9は、従来のスイッチング電源回路の一例を示す回路図である。

【0003】

図9に示すスイッチング回路は、降圧型DC-DCコンバータを構成するもので、入力電源10から出力される直流電源電流をスイッチング素子である電界効果トランジスタ（以下トランジスタという）20をコントロール回路100からの駆動パルスDP'によりオン、オフ制御することにより降圧し、これをインダクタ30、ダイオード40からなる整流回路で整流して出力端子50から出力するものである。

【0004】

ここで、コンデンサ60は、出力端子50から出力される直流電圧を平滑するものであり、また、抵抗70および抵抗80は、出力端子50から出力される直流電圧を分圧して検出するもので、この抵抗70および抵抗80により検出された検出電圧はフィードバック信号FBとしてコントロール回路100に加えられる。

【0005】

コントロール回路100は、PWM（パルス幅変調）回路110および過電流保護回路120を具備して構成されており、PWM回路110は、フィードバック信号FBに基づきトランジスタ20をオン、オフ制御するための駆動パルスDP（PWMパルス）を所定周期のクロックパルスCKに同期して生成する。

【0006】

また、過電流保護回路120は、トランジスタ20を流れる電流I-Hを常に監視し、トランジスタ20を流れる電流I-Hが予め設定した所定値を越えるとPWM回路110から出力される駆動パルスDPをマスクしてトランジスタ20をオフに制御するように動作する。

【0007】

なお、図9において、I-Lは、トランジスタ20がオフ制御されたときに、ダイオード40、インダクタ30を経由して流れるフライホール電流を示す。

【0008】

図10は、図9に示したスイッチング電源回路の過電流保護回路120の一例を示す回路図、図11は、図10に示した過電流検出回路121の一例を示した回路図、図12は、図9乃至図11に示した回路の動作を示すタイミングチャートである。

【0009】

図11において、トランジスタ20を流れる電流I-Hは、抵抗R1およびトランジスタFET1を含む回路により検出される。

【0010】

すなわち、図11において、トランジスタ20およびトランジスタFET1のゲートには、端子T2からトランジスタ20をオン、オフ制御するための駆動パルスDP'が共通に加えられて、トランジスタ20およびトランジスタFET1はカレントミラー回路を構成しており、抵抗R1には、トランジスタ20を流れる電流I-Hに対応する電流I-Hのn分の1の電流（ $I-H$ ）/nが流れる。

【0011】

したがって、抵抗R1とトランジスタFET1との接続点からトランジスタ20を流れる電流I-Hに対応する検出電圧VIdを得ることができる。

【0012】

この検出電圧 V_{Id} は、コンパレータ CO に加えられ、コンパレータ CO でこの検出電圧 V_{Id} と入力電源 10 の電圧 V_{in} から過電流を検出するための所定の基準電圧 V_1 を引いた電圧 ($V_{in} - V_1$) とを比較する (図 12 (a) 参照)。

【0013】

ここで、検出電圧 V_{Id} が電圧 ($V_{in} - V_1$) より小さくなると、すなわち、トランジスタ 20 を流れる電流 $I-H$ が所定の値より大きくなると、コンパレータ CO から過電流検出信号 OCD が出力される (図 12 (b) 参照)。

【0014】

この過電流検出信号 OCD は、図 12 (b) 参照に示すように、通常はローレベルであるが、トランジスタ 20 を流れる電流 $I-H$ が所定の値を越えるとハイレベルとなる信号である。

【0015】

過電流検出回路 121 から出力された過電流検出信号 OCD は、図 11 に示す端子 T1 から出力され、図 10 に示すフリップフロップ 123 のセット端子 S に加えられる。

【0016】

フリップフロップ 123 は、そのリセット端子 R に、端子 122 から PWM 回路 110 で用いられたクロック信号 CK が加えられており、その反転出力端子からは、過電流検出信号 OCD がローレベルのときはハイレベルとなるが、過電流検出信号 OCD がハイレベルとなるとローレベルとなるゲート信号 GS を発生する (図 12 (e) 参照)。このゲート信号 GS は、アンド回路 125 に加えられる。

【0017】

アンド回路 125 には、他の入力端子に、端子 124 から PWM 回路 110 から出力された駆動パルス DP (図 12 (d) 参照) が加えられており、これにより、アンド回路 125 は、過電流検出信号 OCD がハイレベルになると、PWM 回路 110 から出力された駆動パルス DP をマスク、すなわち、PWM 回路 110 から出力された駆動パルス DP の出力を禁止する (図 12 (f) 参照)。

【0018】

このアンド回路 125 の出力は、インバータ 126 で反転されて、トランジスタ 20 をオン、オフ制御するための駆動パルス DP' として端子 127 から出力される (図 12 (g) 参照)。

【0019】

なお、図 12 の (e) に示した期間 T_{ocp} がこの過電流保護回路 120 の動作期間である。

【0020】

また、上記回路例においては、トランジスタ 20 として P チャネル MOS を使用しているため、駆動パルス DP' がローレベルのときトランジスタ 20 はオン制御される。

【0021】

ところで、上記従来の過電流保護回路 120 には、図 13 に示すような不都合がある。

【0022】

すなわち、トランジスタ 20 をオン、オフ制御する駆動パルス DP' には、回路性能的な限界から、最小デューティが決まっており、駆動パルス DP' をローレベルに維持することができるオンデューティ時間は、図 13 (f) に示すように、その最小値が T_{min} に制限される。

【0023】

このため、例えば、図 13 (g) に示すように、負荷短絡等により出力電圧が零になり、トランジスタ 20 を流れる電流 $I-H$ が予め設定した所定値 V_{ocp} を越えても (図 13 (a) 参照)、この最小オンデューティ時間 T_{min} の間では、直ちにトランジスタ 20 がオフにならない。また、この電流 $I-H$ が、インダクタ 30 の飽和電流 I_{sa} を越えると、電流 $I-H$ は急激に立ち上がる。

【0024】

そして、過電流保護回路 120 が動作した状態で、次のクロックパルス CK が立ち上がるときに、図 13 (a) で点線で示すようにフライホール電流 $I-L$ が十分に減衰していないと、インダクタ 30 に電流重畳が起こり (図 13 (a) 参照)、これらの現象により最悪の場合は回路が破壊してしまう恐れがある。

【0025】

このことは、クロックパルス CK の周波数が数 MHz と高く設定され、かつ負荷が非常に大きい場合等では顕著になる。

【0026】

ところで、上記電流重畳による不都合を解消する技術としては、従来、特許文献 1、特許文献 2 および特許文献 3 に開示されたものがある。

【0027】

特許文献 1 に開示されたスイッチング電源回路は、スイッチング周波数を高くした場合における過電流保護回路の動作遅れを防止するために、出力電圧が所定レベルまで低下すると、スイッチング周波数を低下させることにより、過電流状態が検出されてからトランジスタがオフするまで遅延時間による影響を小さくしたものである。

【0028】

また、特許文献 2 に開示されたスイッチング電源回路は、特許文献 1 に開示されたスイッチング電源回路の構成に加えて、短絡時などで更に出力電圧が低下すると、過電流の検出レベルを低下させるように制御するものである。

【0029】

また、特許文献 3 に開示されたスイッチング電源回路は、同文献の図 1 に示された従来構成の課題、即ち、電流検出抵抗 R がインダクタ L に直列接続された従来構成の電力浪費という課題に着目し、同文献の図 2 に示されたように、電流検出抵抗 R をローサイド側に配置することで電力消費を低減しつつ過電流の検出が可能な構成を提供するものである。さらにこの技術は、同文献の図 3 に示されたように、インダクタ電流 I_L が所定の基準値 I_{LIMIT1} を超えた後は、インダクタ電流 I_L が I_{LIMIT2} に達するまで放電サイクルを延長することで、効果的に過電流を制限し回路素子へのダメージの低減を図っている。尚、これら 2 つの基準値の設定と比較は、シュミットトリガ $U1$ を利用して実現している。

【0030】

また、上記電流重畳による不都合を解消する他の技術としては、過電流検出回路で過電流が検出されると、予め設定されたタイマ回路をスタートさせ、このタイマ回路のタイマ時間の間、スイッチング電源回路のスイッチングをオンオフ制御する駆動パルスをマスクする構成が考えられている。

【0031】

この構成においても、タイマ回路のタイマ時間を十分長く設定しておけば、上記電流重畳を防止でき、過電流による回路破壊を防止できる。

【特許文献 1】特開平 7-46828 号公報

【特許文献 2】特開平 11-341791 号公報

【特許文献 3】米国特許第 5808455 号

【発明の開示】

【発明が解決しようとする課題】

【0032】

しかし、上記特許文献 1 および特許文献 2 に開示されたスイッチング電源回路は、いずれも過電流検出時にスイッチング周波数を低下させるので、応答性が低下するという問題があり、また、タイマ回路を用いた構成においては、タイマ回路のタイマ時間の設定が難しく、この設定したタイマ時間が長すぎると、スイッチング電源回路のスイッチング周期が実質的に長くなり、十分な性能が得られないという問題がある。

【0033】

また、タイマ回路を用いた構成において、ユーザーが使用するスイッチング電源回路のインダクタの飽和電流値がわからないのが通常であるので、上記タイマ回路のタイマ時間は、実際はマージンを見込んでかなり長く設定する必要があり、この場合、

- 1) 起動時間が長くなる
 - 2) 負荷急変に対する応答が遅くなる
- 等の問題が生じる。

【0034】

また、特許文献3に開示されたスイッチング電源回路は、電流検出抵抗Rをローサイド側に配置しているために過電流の検出が遅れ、また、電流検出抵抗Rをローサイド側に配置した構成で、2つの基準値を備えたシュミットトリガU1を利用するためには、プラス電源とマイナス電源の両方が必要になるため、簡易な回路構成の実現には改善すべき点が多々あった。

【0035】

そこで、この発明は、起動時間が速く、負荷急変に対する応答に優れ、かつ過電流からの回路素子等の破壊を確実にかつ簡易な構成で保護することができるようにしたスイッチング電源回路およびその過電流保護方法を提供することを目的とする。

【課題を解決するための手段】

【0036】

上記目的を達成するため、請求項1の発明は、所定周期のクロックパルスに基づき生成される駆動パルスにより入力電源をオンオフ制御するスイッチング素子を有し、該スイッチング素子のオン制御により前記入力電源から負荷に対して電流を流し、該スイッチング素子のオフ制御により前記負荷に対してフライホイール電流を流すスイッチング電源回路において、前記スイッチング素子を流れる電流が第1の基準値に達したことを検出する過電流検出手段と、前記フライホイール電流が第2の基準値に達したことを検出するフライホイール電流検出手段と、前記過電流検出手段の検出出力に基づき前記スイッチング素子をオフ制御する過電流保護動作を行うとともに、該過電流保護動作時には、前記フライホイール電流検出手段により検出された前記フライホイール電流が前記第2の基準値に達した後のクロックパルスのタイミングで前記スイッチング素子をオン制御する過電流保護回路とを具備することを特徴とする。

【0037】

また、請求項2の発明は、請求項1の発明において、前記フライホイール電流検出手段は、フライホイール電流路に設けられた電流検出抵抗の出力に基づき前記フライホイール電流を検出することを特徴とする。

【0038】

また、請求項3の発明は、請求項1の発明において、前記フライホイール電流検出手段は、フライホイール電流路に設けられ、前記スイッチング素子に同期してオンオフ制御される第2のスイッチング素子のオン抵抗を利用して前記フライホイール電流を検出することを特徴とする。

【0039】

また、請求項4の発明は、請求項1の発明において、前記フライホイール電流検出手段は、フライホイール電流路に設けられ、前記スイッチング素子に同期してオンオフ制御される第2のスイッチング素子とカレントミラー回路を構成する第3のスイッチング素子を有し、前記第3のスイッチング素子を流れる電流に基づき前記フライホイール電流を検出することを特徴とする。

【0040】

また、請求項5の発明は、請求項1の発明において、前記第2の基準値が零以上の値に設定されることを特徴とする。

【0041】

また、請求項6の発明は、ソース端子、ドレイン端子およびゲート端子を備えたスイッチング素子と、前記ソース端子に接続された電力供給源と、前記ドレイン端子に接続され

た負荷と、前記ゲート端子に接続されたコントロール回路と、前記ドレイン端子から前記負荷までの電流路上に配置されたインダクタと、前記ソース端子から前記負荷までの電流路上に配置された第1の電流検出抵抗と、前記第1の電流検出抵抗に接続された第1の比較器と、前記ドレイン端子から接地端子までの電流路上に配置された第2の電流検出抵抗と、前記第2の電流検出抵抗に接続された第2の比較器とを具備することを特徴とする。

【0042】

また、請求項7の発明は、請求項6の発明において、前記第2の比較器は接地電位またはプラス電位を基準として使用することを特徴とする。

【0043】

また、請求項8の発明は、所定周期のクロックパルスに基づき生成される駆動パルスにより入力電源をオンオフ制御するスイッチング素子を有し、該スイッチング素子のオン制御により前記入力電源から負荷に対して電流を流し、該スイッチング素子のオフ制御により前記負荷に対してフライホイール電流を流すスイッチング電源回路の過電流保護方法において、前記スイッチング素子を流れる電流が第1の基準値に達したことを過電流検出手段により検出するとともに、前記フライホイール電流をフライホイール電流検出手段により検出し、前記過電流検出手段の検出出力に基づき前記スイッチング素子をオフ制御する過電流保護動作を行い、該過電流保護動作時には、前記フライホイール電流検出手段により検出された前記フライホイール電流が第2の基準値に達した後の前記クロックパルスのタイミングで前記スイッチング素子をオン制御することを特徴とする。

【発明の効果】

【0044】

以上説明したようにこの発明によれば、所定周期のクロックパルスに基づき生成される駆動パルスにより入力電源をオンオフ制御するスイッチング素子を有し、該スイッチング素子のオン制御により入力電源から負荷に対して電流を流し、該スイッチング素子のオフ制御により負荷に対してフライホイール電流を流すスイッチング電源回路において、スイッチング素子を流れる電流が第1の基準値に達したことを過電流検出手段により検出するとともに、フライホイール電流が第2の基準値に達したことをフライホイール電流検出手段により検出し、過電流検出手段の検出出力に基づきスイッチング素子をオフ制御する過電流保護動作を行い、該過電流保護動作時には、フライホイール電流検出手段により検出されたフライホイール電流が前記第2の基準値に達した後のクロックパルスのタイミングでスイッチング素子をオン制御するように構成したので、起動時間が速く、負荷急変に対する応答に優れ、かつ過電流からの回路素子等の破壊を確実に簡易な構成で保護することができるスイッチング

電源回路およびその過電流保護方法を提供することができるという効果を奏する。

【発明を実施するための最良の形態】

【0045】

以下、この発明に係わるスイッチング電源回路およびその過電流保護方法の実施の形態を添付図面を参照して詳細に説明する。

【0046】

図1は、この発明に係わるスイッチング電源回路およびその過電流保護方法を適用して構成したスイッチング電源回路の概略構成を示す回路図である。

【0047】

なお、図1において、図9に示した従来回路と同様の機能を果たす部分には説明の便宜上、図9で用いた符号と同一の符号を付する。

【0048】

図1において、このスイッチング電源回路は、図9に示した従来のスイッチング電源回路と同様に、降圧型DC-DCコンバータを構成するもので、該DC-DCコンバータの電力供給源となる電池等の入力電源10から出力される直流電源電流をスイッチング素子であるトランジスタ（電界効果トランジスタ）20をコントロール回路200からの駆動パルスDP'によりオン、オフ制御することにより降圧し、これをインダクタ30、ダイ

オード40からなる整流回路で整流して出力端子50から図示しない負荷へ出力する。

【0049】

ここで、トランジスタ20は、ソース端子、ドレイン端子およびゲート端子を備え、ソース端子には入力電源10が接続され、ドレイン端子にはインダクタ30を経由して図示しない負荷が接続され、ゲート端子には、コントロール回路200が接続される。

【0050】

また、インダクタ30は、トランジスタ20がオンとなったときに、入力電源10から供給された電流を磁界エネルギーとして蓄積し、トランジスタ20がオフとなったときに、蓄えた磁界エネルギーを電流として放出する素子であり、トランジスタ20のドレイン端子から負荷までの電流路上に配置される。

【0051】

また、コンデンサ60は、出力端子50から出力される直流電圧を平滑するものであり、また、抵抗70および抵抗80は、出力端子50から出力される直流電圧を分圧して検出するもので、この抵抗70および抵抗80により検出された検出電圧はフィードバック信号FBとしてコントロール回路200に加えられる。

【0052】

また、抵抗90は、トランジスタ20がオフ制御されたときに、ダイオード40、インダクタ30を経由して流れるフライホール電流I-Lを検出するための電流検出抵抗であり、トランジスタ20のドレイン端子から本コンバータに設けられた接地端子までの電流路上に配置される。

【0053】

コントロール回路200は、PWM（パルス幅変調）回路210、過電流保護回路220、電流検出回路230を具備して構成される。

【0054】

ここで、PWM回路210は、フィードバック信号FBに基づきトランジスタ20をオン、オフ制御するための駆動パルスDP（PWMパルス）を所定周期のクロックパルスCKに同期して生成する。

【0055】

また、電流検出回路230は、抵抗90の電圧降下を利用してダイオード40、インダクタ30を経由して流れるフライホール電流I-Lを検出する。

【0056】

過電流保護回路220は、トランジスタ20を流れる電流I-Hを常に監視し、トランジスタ20を流れる電流I-Hが予め設定した所定値を越えるとPWM回路210から出力される駆動パルスDPをマスクしてトランジスタ20をオフに制御する過電流保護動作を行うとともに、該過電流保護動作時には、電流検出回路230で検出されるフライホール電流I-Lが略零になるまで、トランジスタ20のオンを停止する制御を行う。

【0057】

図2は、図1に示したコントロール回路200の過電流保護回路220および電流検出回路230の詳細構成を示す回路図である。

【0058】

図2において、過電流保護回路220は、トランジスタ20を流れる電流I-Hを常に監視し、トランジスタ20を流れる電流I-Hが予め設定した第1の基準値に達すると過電流検出信号OCDを出力する過電流検出回路221、過電流検出回路221から出力される過電流検出信号OCDがセット端子Sに加えられ、リセット端子Rに端子212からのクロックパルスCKが加えられるフリップフロップ213、PWM回路210から出力される駆動パルス（PWMパルス）DPおよびフリップフロップ213の反転出力GS1が加えられるアンド回路214、電流検出回路230から出力されたフライホール電流検出信号IFを反転するインバータ216、インバータ216から出力される信号の立ち上りエッジを検出するエッジ検出回路217、過電流検出回路221から出力される過電流検出信号OCDがセット端子Sに加えられ、リセット端子Rにエッジ検出回路217の

出力が加えられるフリップフロップ 218、アンド回路 214 の出力およびフリップフロップ 218 の反転出力 G

S2 が加えられるアンド回路 215、アンド回路 215 の出力を反転して駆動パルス DP' としてトランジスタ 20 のゲートに加えるインバータ 219 を具備する。

【0059】

過電流検出回路 221 は、図 11 に示すように、トランジスタ 20 およびトランジスタ FET1 でカレントミラーを構成し、トランジスタ FET1 が配置された岐路上に電流検出抵抗を設けた電力消費の少ない手法で具現化することが望ましいが、電流検出用の抵抗をトランジスタ 20 のソース端子から負荷までの電流路上に配置して I-H を検出する構成としても良い。

【0060】

また、電流検出回路 230 は、ダイオード 40 と抵抗 90 の接続点がプラス端子に接続され、マイナス端子にフライホイール電流 I-L を検出するための基準電圧 V2 (第 2 の基準値) を発生する電源 232 が接続されるオペアンプ 231 を具備する。

【0061】

なお、PWM 回路 210 は、図 9 に示した PWM 回路 110 と同一構成であり、また、過電流検出回路 221 は、図 11 に示した過電流検出回路 121 と同様の構成のものを用いることができる。

【0062】

さて、図 2 に示す回路において、電流検出回路 230 は、トランジスタ 20 がオフ制御されたときに、ダイオード 40、インダクタ 30 を経由して流れるフライホイール電流 I-L をオペアンプ 231 により検出する。

【0063】

すなわち、オペアンプ 231 には、プラス端子にフライホイール電流 I-L に基づく抵抗 90 による電圧降下に対応する電位が入力され、マイナス端子に接地電位から基準電圧 V2 を差し引いた電位 (GND-V2) が入力されるので、フライホイール電流 I-L に基づく抵抗 90 による降下電圧が基準電圧 V2 より大きくなると、オペアンプ 231 からはこのときハイレベルとなるフライホイール電流検出信号 IF が出力される。

【0064】

ここで、基準電圧 V2 を零にすれば、フライホイール電流 I-L が生じてから零に減衰するまでの間ハイレベルとなるフライホイール電流検出信号 IF が出力され、基準電圧 V2 が一定の値であれば、フライホイール電流 I-L がこの一定の値に対応する電流以上になった時点からこの一定の値に対応する電流に減衰するまでの間ハイレベルとなるフライホイール電流検出信号 IF が出力される。

【0065】

このフライホイール電流検出信号 IF は、過電流保護回路 220 のインバータ 216 で反転され、その立ち上りエッジがエッジ検出回路 217 で検出され、この検出タイミングでエッジ検出回路 217 からはエッジ検出パルス IFE が出力される。このエッジ検出パルス IFE は、フリップフロップ 218 のリセット端子 R に加えられる。

【0066】

すなわち、フリップフロップ 218 には、セット端子 S に過電流検出回路 221 から出力される過電流検出信号 OCD が加えられ、リセット端子 R にエッジ検出パルス IFE が加えられているので、フリップフロップ 218 は、過電流検出回路 221 でトランジスタ 20 を流れる電流 I-H の過電流を検出したタイミングでセットされ、フライホイール電流検出信号 IF が基準電圧 V2 に対応する値まで低下したタイミングでリセットされる。

【0067】

また、フリップフロップ 213 には、セット端子 S に過電流検出回路 221 から出力される過電流検出信号 OCD が加えられ、リセット端子 R にクロックパルス CK が加えられているので、フリップフロップ 213 は、過電流検出回路 221 でトランジスタ 20 を流れる電流 I-H の過電流を検出したタイミングでセットされ、クロックパルス CK、すな

わち、PWM回路210から次に駆動パルスDPが立ち上がるタイミングでリセットされる。

【0068】

そして、PWM回路210から出力される駆動パルスDPは、アンド回路214でフリップフロップ213がセットされている間禁止され、更に、アンド回路215でフリップフロップ218がセットされている間禁止されるので、結局、PWM回路210から出力される駆動パルスDPは、過電流検出回路221で過電流を検出したタイミングから、フライホイール電流検出信号IFが基準電圧V2に対応する値まで低下したタイミングまでその出力が禁止される。

【0069】

したがって、トランジスタ20は、過電流検出回路221で過電流を検出したタイミングから、フライホイール電流検出信号IFが基準電圧V2に対応する値まで低下したタイミングの次にクロックパルスCKが立ち上がるタイミングまでオン動作しない。

【0070】

図3は、図1および図2に示したスイッチング電源回路の過電流保護動作を説明するタイミングチャートである。

【0071】

図1および図2に示したスイッチング電源回路において、図3(b)に示すように負荷短絡が生じ、その出力電圧Voutが零になったとすると、トランジスタ20を流れる電流I-Hは、図3(f)に示すPWM回路210から出力される駆動パルスDPの立ち上がりタイミングから、図3(a)に示すように、順次増加して、過電流検出回路221の過電流検出値Iocpを越える。

【0072】

トランジスタ20を流れる電流I-Hが、過電流検出値Iocpを越えている間、過電流検出回路221からはハイレベルの過電流検出信号OCDが出力される(図3(c)参照)。このとき、過電流検出信号OCDは、過電流検出値Iocpに達したと同時に出力されるため、過電流の早期検出に有効である。

【0073】

そして、トランジスタ20がオフに制御されると、ダイオード40を経由して、図3(a)に点線で示すように、フライホール電流I-Lが流れる。

【0074】

このフライホール電流I-Lは、電流検出回路230で検出され、電流検出回路230からは、図3(g)に示すように、フライホイール電流が生じてから零に減衰するまでの間ハイレベルとなるフライホイール電流検出信号IFが生じる。なお、図3においては、図2に示した電流検出回路230において、基準電圧V2を零にした場合を示している。

【0075】

フライホイール電流検出信号IFは、過電流保護回路220のインバータ216で反転され、このインバータ216の出力の立ち上がりがエッジ検出回路217で検出されるので、エッジ検出回路217からは、フライホール電流I-Lが零まで減衰したタイミングで、図3(h)に示すように、エッジ検出パルスIFEを出力する。

【0076】

このエッジ検出パルスIFEは、フリップフロップ218のリセット端子Rに加えられ、また、このフリップフロップ218のセット端子Sには、過電流検出回路221から出力される過電流検出信号OCDが加えられているので、フリップフロップ218の反転出力端子からは、図3(i)に示すように、過電流検出回路221で過電流が検出されてからフライホール電流I-Lが零に減衰するまでの間ローレベルとなるゲート信号GS2が出力される。

【0077】

また、フリップフロップ213には、セット端子Sに過電流検出回路221から出力される過電流検出信号OCDが加えられ、リセット端子RにクロックパルスCKが加えられ

ているので、フリップフロップ 213 の反転出力端子からは、図 3 (d) に示すように、過電流検出回路 221 で過電流が検出されてから次のクロックパルス CK が立ち上がるまでの間ローレベルとなるゲート信号 GS1 が出力される。

【0078】

このゲート信号 GS1 は、他の入力端子に PWM 回路 210 から出力される駆動パルス DP (図 3 (f) 参照) が加えられるアンド回路 214 に加えられ、また、上記ゲート信号 GS2 は、他の入力端子にアンド回路 214 の出力が加えられるアンド回路 215 に加えられるので、PWM 回路 210 から出力される駆動パルス DP は、過電流検出回路 221 で過電流が検出されてからフライホール電流 I-L が零に減衰するまでの間マスクされる。

【0079】

これにより、駆動パルス DP' のオンデューティ時間が、図 3 (j) に示すように最小時間 T_{min} まで小さくなっていたとしても、アンド回路 215 の出力を反転するインバータ 219 からは、図 3 (j) に示す駆動パルス DP' が出力され、この駆動パルス DP' でトランジスタ 20 が制御されるので、これにより、インダクタ 30 の飽和電流値に係わらず、インダクタ 30 の電流重畳により回路素子が破壊するまで過電流は生じない。

【0080】

また、この実施の形態のスイッチング電源回路においては、フライホール電流 I-L が零若しくは電流重畳による回路素子が破壊するまで過電流は生じない程度の値まで減少してから次のトランジスタ 20 がオン制御されるので、起動時においても起動時間を十分短くすることができ、また、負荷急変に対する応答性も損なわれない。

【0081】

図 4 は、この発明に係わるスイッチング電源回路の他の実施の形態を示す回路図である。

【0082】

この図 4 に示すスイッチング電源回路は、図 1 に示したスイッチング電源回路のダイオード 40 を PWM 回路 210 の出力によりオンオフ制御されるトランジスタ (電界効果トランジスタ) 91 で置き換えた同期整流タイプのスイッチング電源回路を構成しており、コントロール回路 200 の電流検出回路は、フライホール電流 I-L をこのトランジスタ (電界効果トランジスタ) 91 のオン抵抗を利用して検出している。その他の構成は、図 1 に示したスイッチング電源回路と同じである。

【0083】

すなわち、トランジスタ 91 は、PWM 回路 210 の出力によりトランジスタ 20 がオフに制御されるとオンになる。そして、フライホール電流 I-L は、このオンとなったトランジスタ 91 を経由して流れるが、このとき、トランジスタ 91 に生じるオン抵抗を利用してコントロール回路 200 の電流検出回路はこのフライホール電流 I-L を検出する。

【0084】

図 5 は、図 4 に示したコントロール回路 200 の過電流保護回路 220 および電流検出回路 230 の詳細構成を示す回路図である。

【0085】

ここで、過電流保護回路 220 および電流検出回路 230 の構成は図 2 に示した過電流保護回路 220 および電流検出回路 230 と同一であるが、図 5 に示した電流検出回路 230 においては、オペアンプ 231 のプラス端子にトランジスタ 91 のソースが接続されている点が図 2 のものと異なり、他の構成は、図 2 のものと同じである。

【0086】

すなわち、この構成において、オペアンプ 231 には、プラス端子にフライホール電流 I-L に基づくトランジスタ 91 のオン抵抗による電圧降下に対応する電位が入力され、マイナス端子に接地電位から基準電圧 V_2 を差し引いた電位 ($GND - V_2$) が入力されるので、フライホール電流 I-L に基づきトランジスタ 91 のオン抵抗による降下電

圧が電位 ($GND-V2$) より大きくなると、オペアンプ 231 からはこのときハイレベルとなるフライホイール電流検出信号 I_F が出力される。

【0087】

図 6 は、図 5 に示した電流検出回路 230 の変形例を示した回路図である。

【0088】

図 5 に示した電流検出回路 230 では、トランジスタ 91 のソースを直接オペアンプ 231 のプラス端子に入力してフライホイール電流 $I-L$ を検出するように構成したが、図 6 の電流検出回路 230 では、トランジスタ 91 とカレントミラー回路を構成するトランジスタ (電界効果トランジスタ) 233 を設けるとともに、このトランジスタ 233 のドレインに抵抗 234 を接続し、この抵抗 234 の電圧降下を利用してフライホイール電流 $I-L$ を検出する。その他の構成は図 5 に示した回路と同じである。

【0089】

すなわち、この構成において、トランジスタ 233 およびトランジスタ 91 のゲートには PWM 回路 210 の出力が共通に加えられているので、トランジスタ 233 には、トランジスタ 91 を流れるフライホイール電流 $I-L$ に対応した電流が流れる。

【0090】

そして、トランジスタ 233 を流れる電流は、抵抗 234 の電圧降下により検出され、オペアンプ 231 のプラス端子に加えられる。また、オペアンプ 231 のマイナス端子には、接地電位から基準電圧 $V2$ を差し引いた電位 ($GND-V2$) が入力されているので、フライホイール電流 $I-L$ に基づく抵抗 234 による降下電圧が電位 ($GND-V2$) より大きくなると、オペアンプ 231 からはこのときハイレベルとなるフライホイール電流検出信号 I_F が出力される。

【0091】

上記図 4 乃至図 5 の構成によっても、図 1 および図 2 に示した構成と同様な過電流保護が実現できる。

【0092】

また、電流検出回路 230 としては、図 7 に示したように、プラス電源 232 をオペアンプ 231 のマイナス端子に接続することで、プラス電位を基準電圧 $V2$ (第 2 の基準値) として使用しても良い。この場合、図 2 の電流検出回路 230 に例示したようなマイナス電源 232 を別途用意する必要がなくなるため、より簡易に構成できる。

【0093】

また、図 8 に示したように、オペアンプ 231 のマイナス端子を接地電位とし、零点を基準電圧 $V2$ として使用しても良い。この場合は、マイナス電源もプラス電源も不要になるため最も簡易に構成できる。

【0094】

なお、基準電圧 $V2$ としてプラス電位またはマイナス電位を使用する場合は、使用するインダクタの重畳特性に応じて、電流重畳の解消に必要な閾値を電位として設定すれば良い。例えば、電流重畳が生じにくいインダクタを使用する場合は、零電位から離れた値を設定しても良く、電流重畳が生じ易いインダクタを使用する場合は、完全放電に近い零電位付近の値を設定すれば良い。

【産業上の利用可能性】

【0095】

所定周期のクロックパルスに基づき生成される駆動パルスにより入力電源をオンオフ制御するスイッチング素子を備えたスイッチング電源回路に適用可能である。スイッチング素子を流れる電流とフライホイール電流とをそれぞれ検出し、これら検出結果をそれぞれ第 1 および第 2 の基準値と比較することで、電流重畳による回路素子の破壊を効果的に防止する。

【図面の簡単な説明】

【0096】

【図 1】この発明に係わるスイッチング電源回路およびその過電流保護方法を適用し

て構成したスイッチング電源回路の概略構成を示す回路図である。

【図 2】図 1 に示したコントロール回路の過電流保護回路および電流検出回路の詳細構成を示す回路図である。

【図 3】図 1 および図 2 に示したスイッチング電源回路の過電流保護動作を説明するタイミングチャートである。

【図 4】この発明に係わるスイッチング電源回路の他の実施の形態を示す回路図である。

【図 5】図 4 に示したコントロール回路の過電流保護回路および電流検出回路の詳細構成を示す回路図である。

【図 6】図 5 に示した電流検出回路の変形例を示した回路図である。

【図 7】図 2 に示した電流検出回路 2 3 0 の変形例を示した回路図である。

【図 8】図 2 に示した電流検出回路 2 3 0 の変形例を示した回路図である。

【図 9】従来のスイッチング電源回路の一例を示す回路図である。

【図 1 0】図 9 に示したスイッチング電源回路の過電流保護回路の一例を示す回路図である。

【図 1 1】図 1 0 に示した過電流検出回路の一例を示した回路図である。

【図 1 2】図 9 乃至図 1 1 に示した回路の動作を示すタイミングチャートである。

【図 1 3】従来の過電流保護回路の不都合を説明するタイミングチャートである。

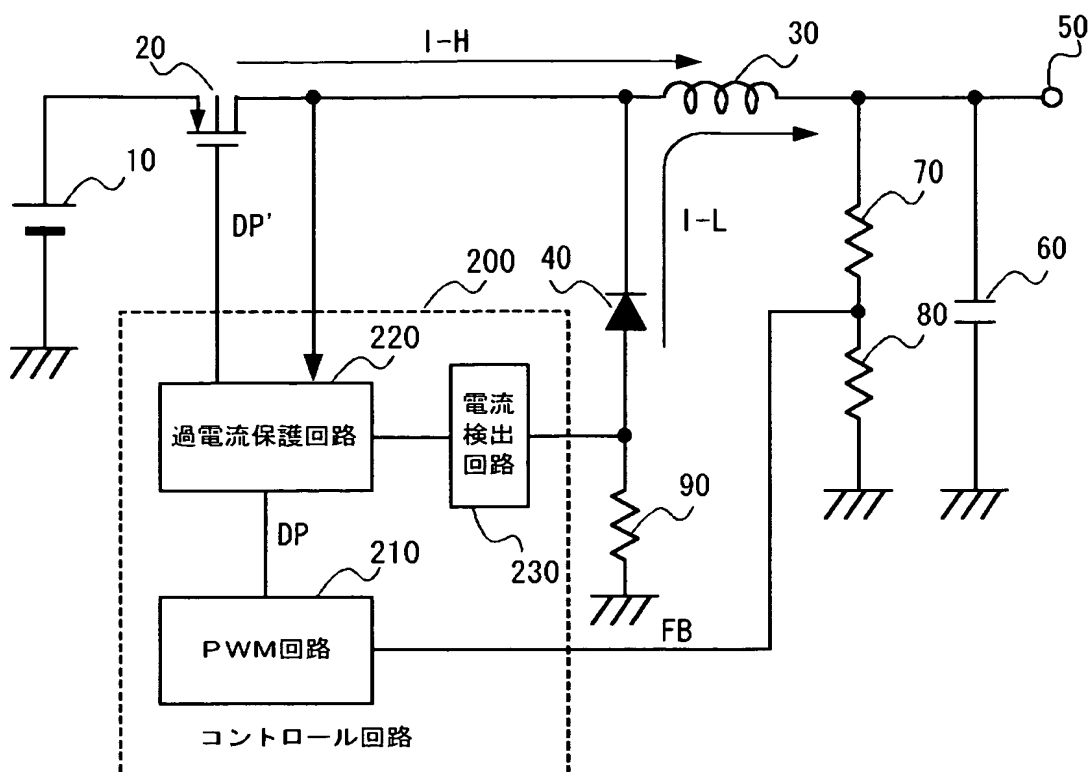
【符号の説明】

【 0 0 9 7 】

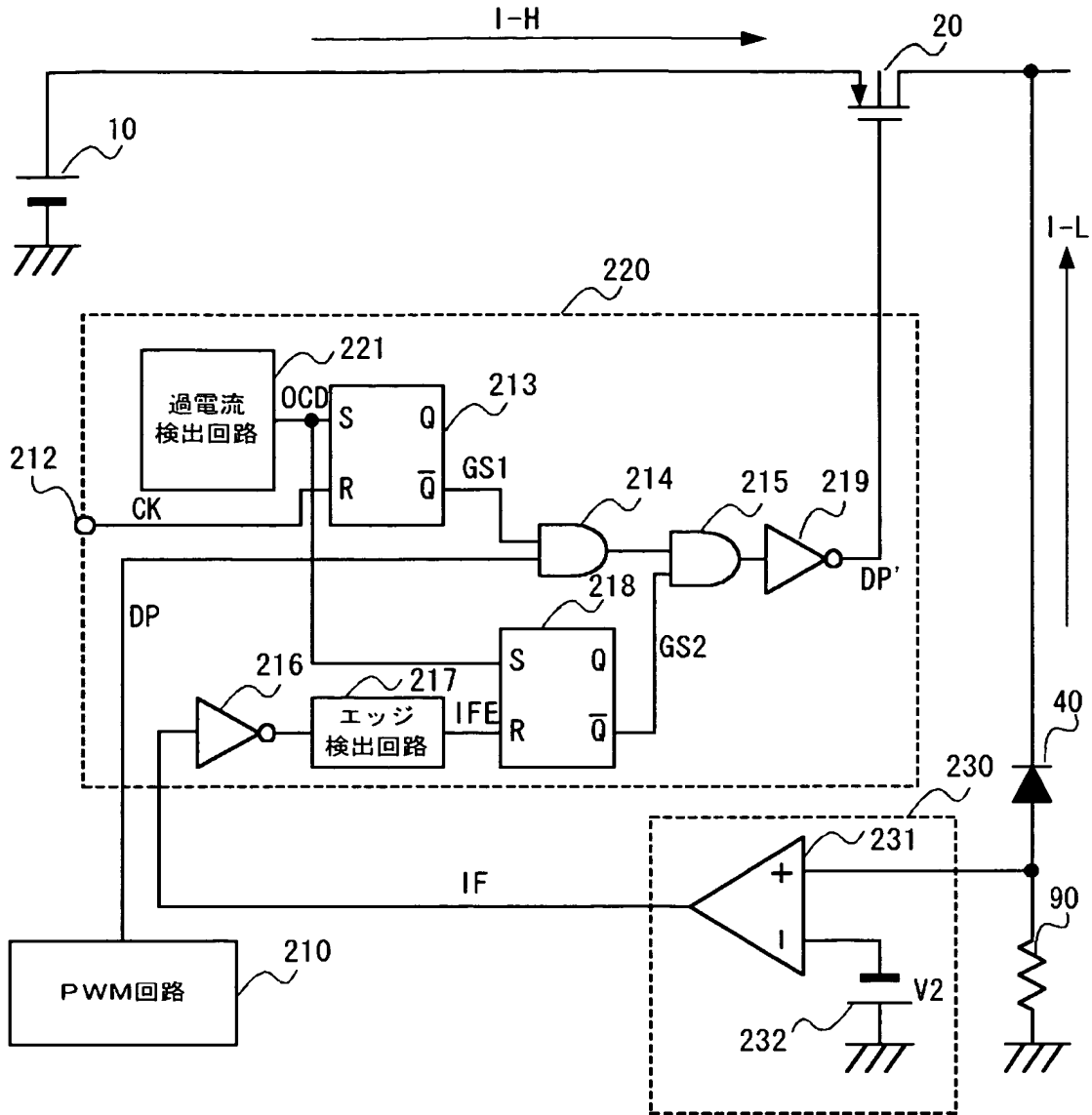
- 1 0 入力電源
- 2 0 トランジスタ（電界効果トランジスタ）
- 3 0 インダクタ
- 4 0 ダイオード
- 5 0 出力端子
- 6 0 コンデンサ
- 7 0 抵抗
- 8 0 抵抗
- 9 0 抵抗
- 2 0 0 コントロール回路
- 2 1 0 P W M（パルス幅変調）回路
- 2 2 0 過電流保護回路
- 2 3 0 電流検出回路

【書類名】図面

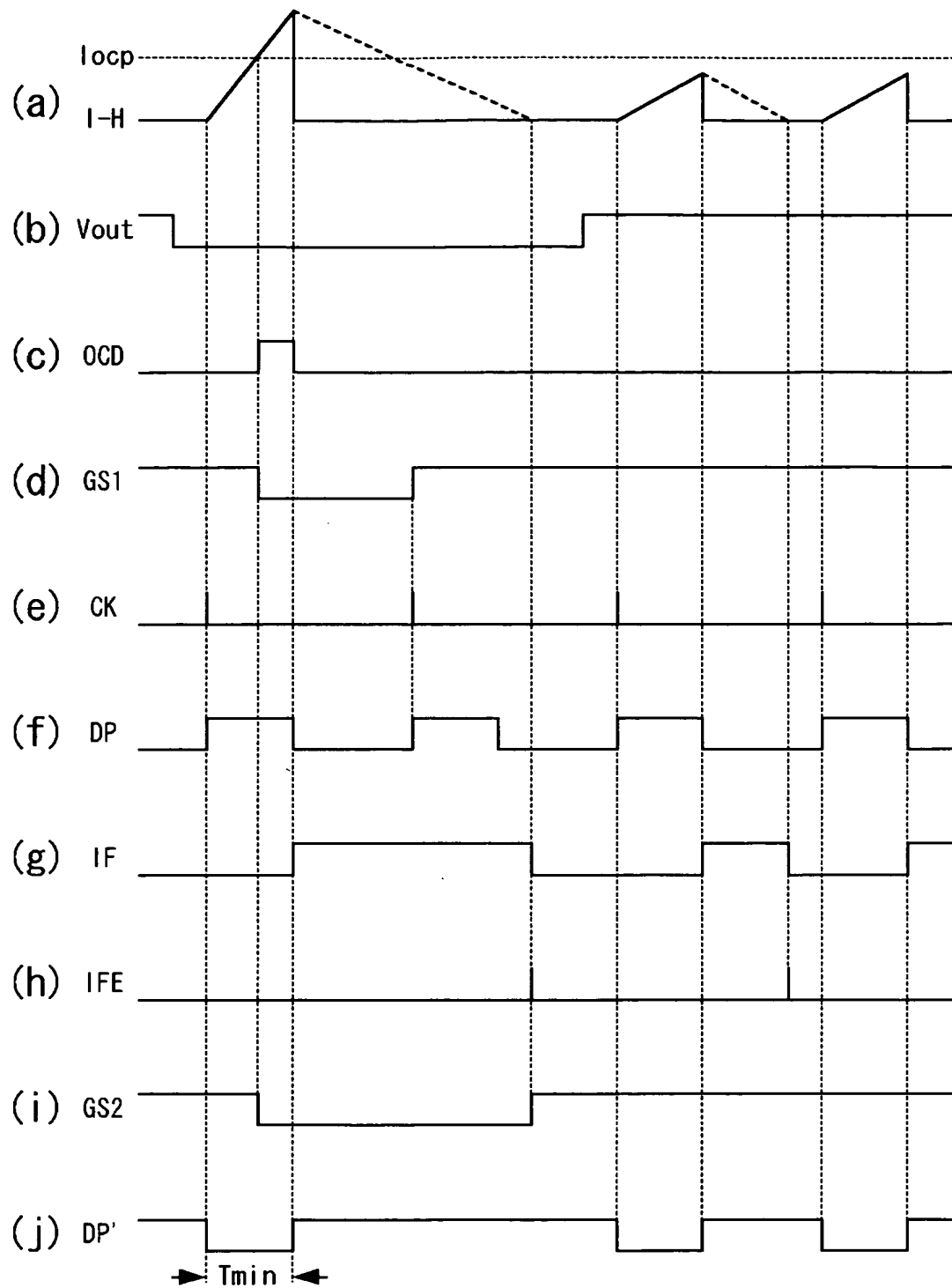
【図 1】



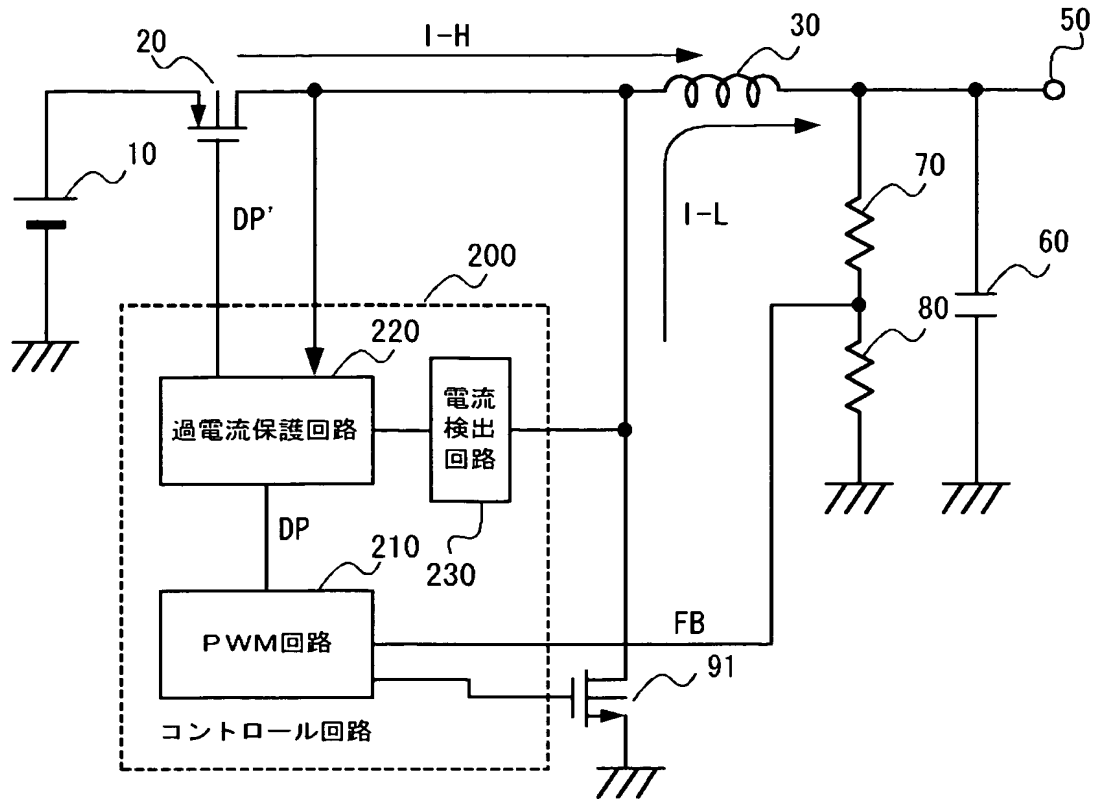
【図 2】



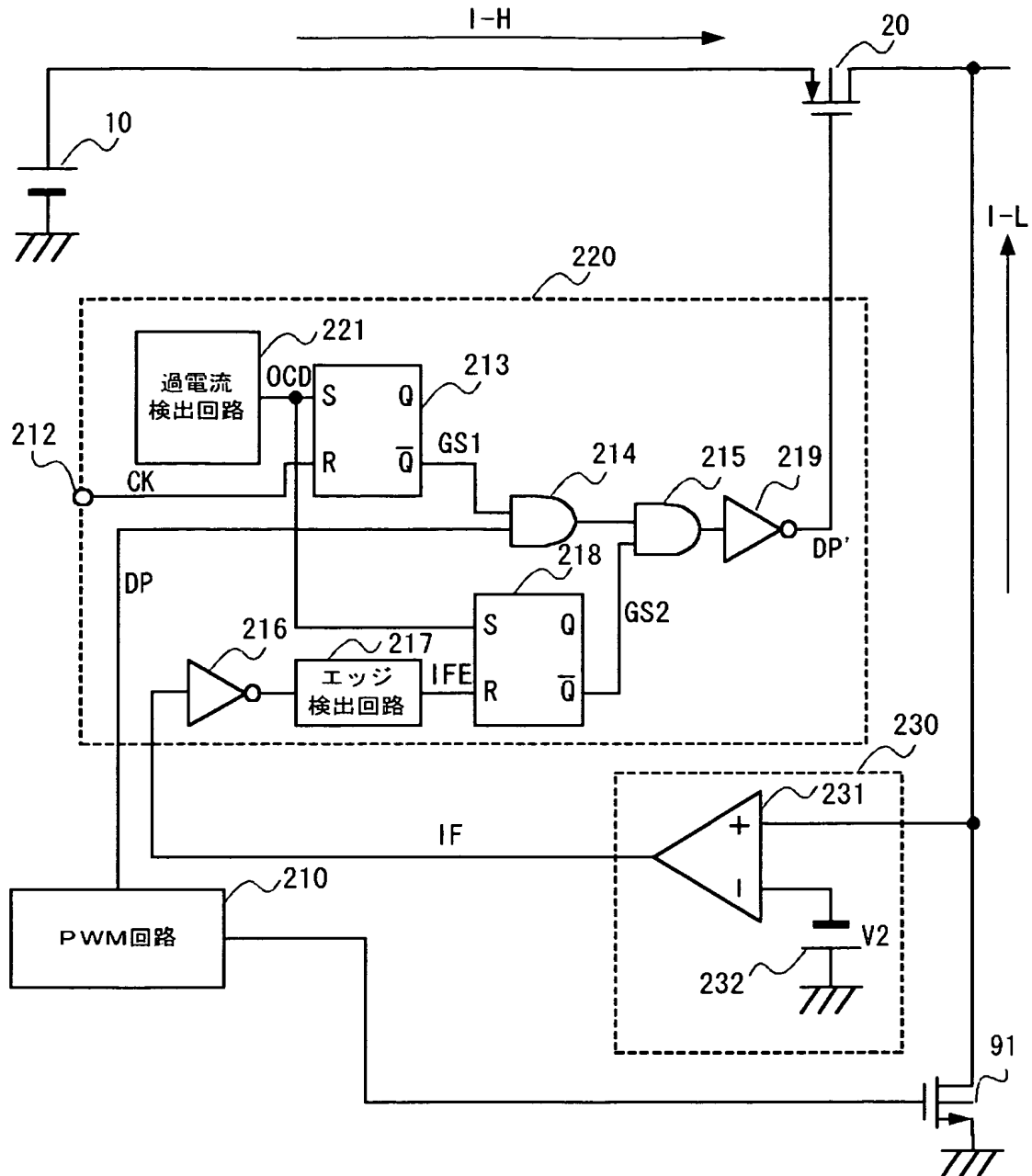
【図 3】



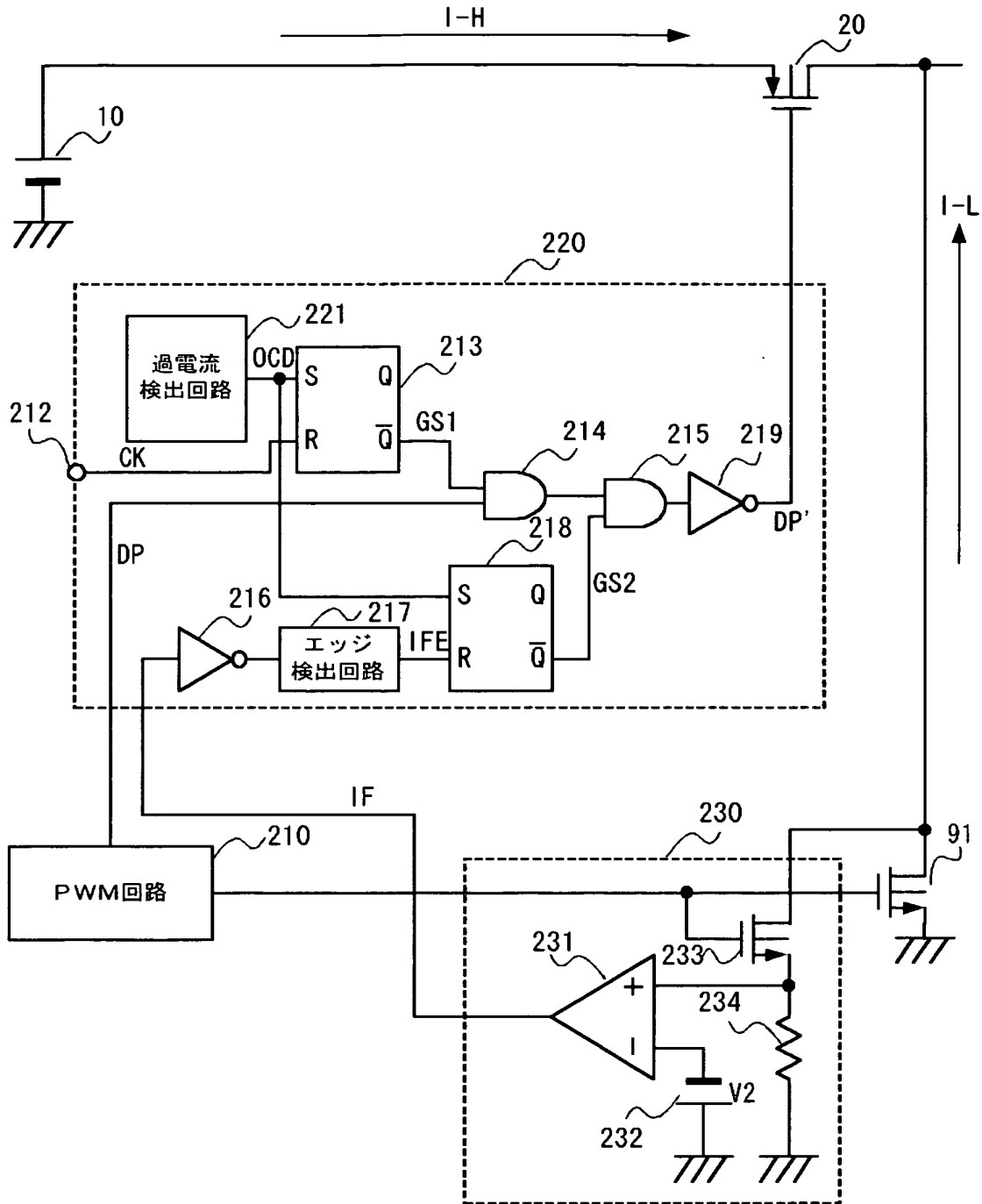
【図 4】



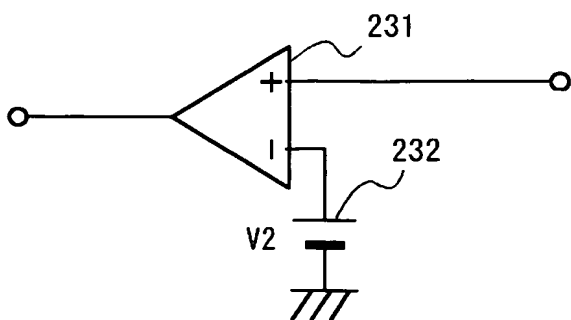
【図5】



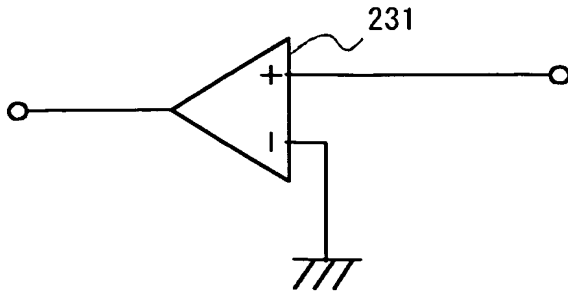
【図 6】



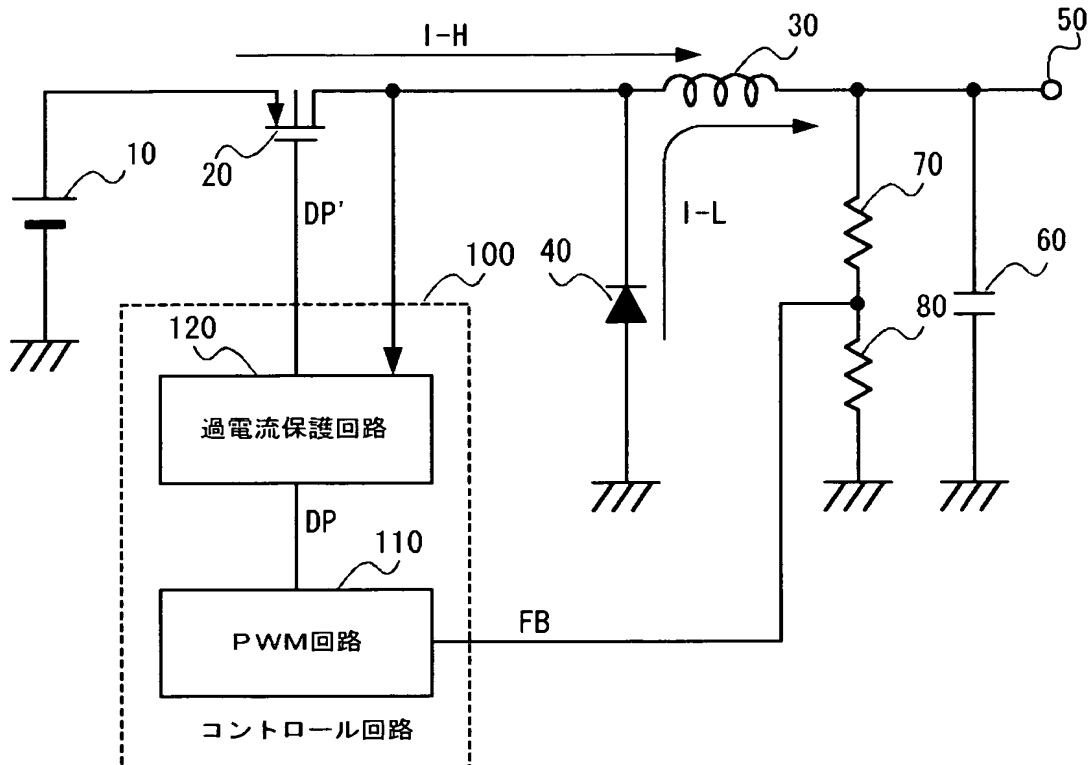
【図 7】



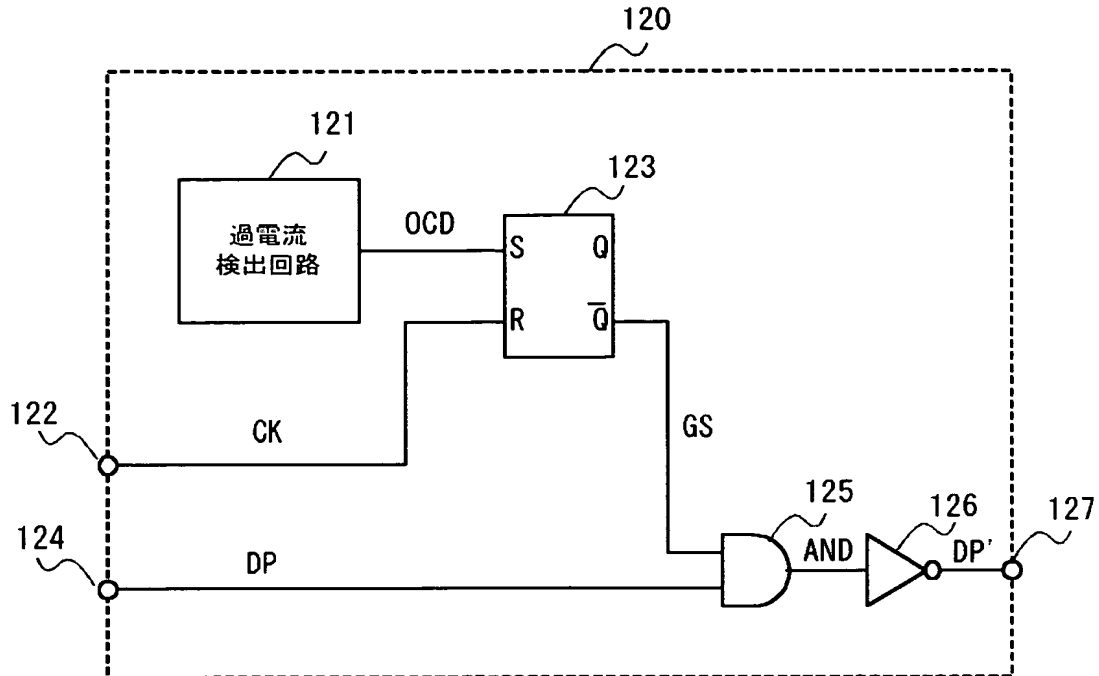
【図 8】



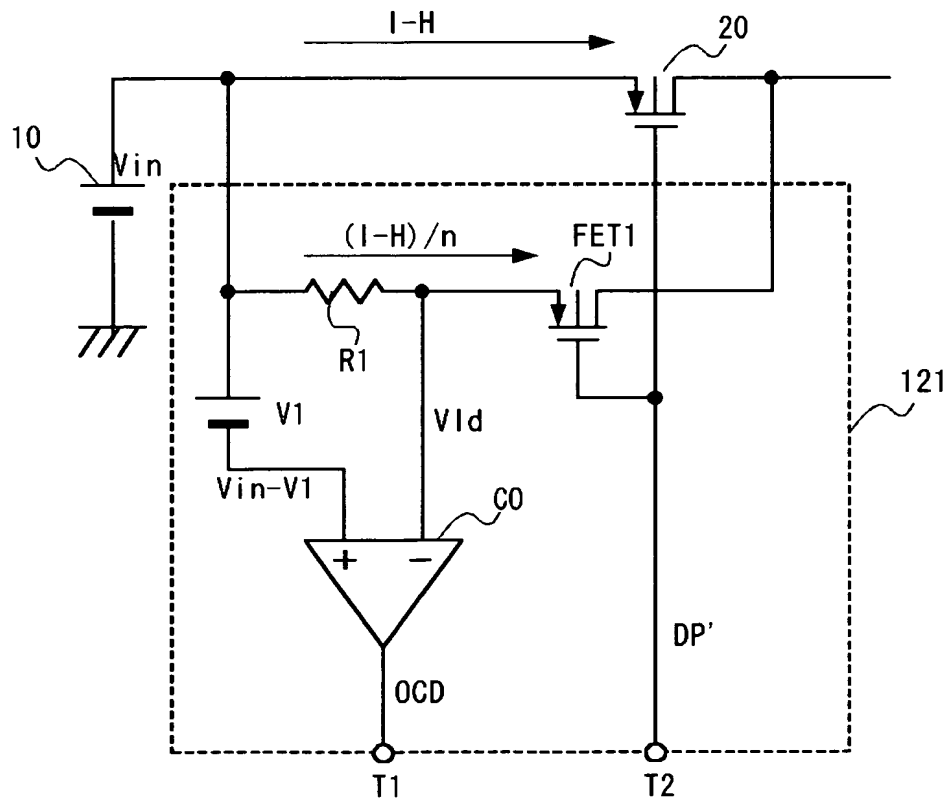
【図 9】



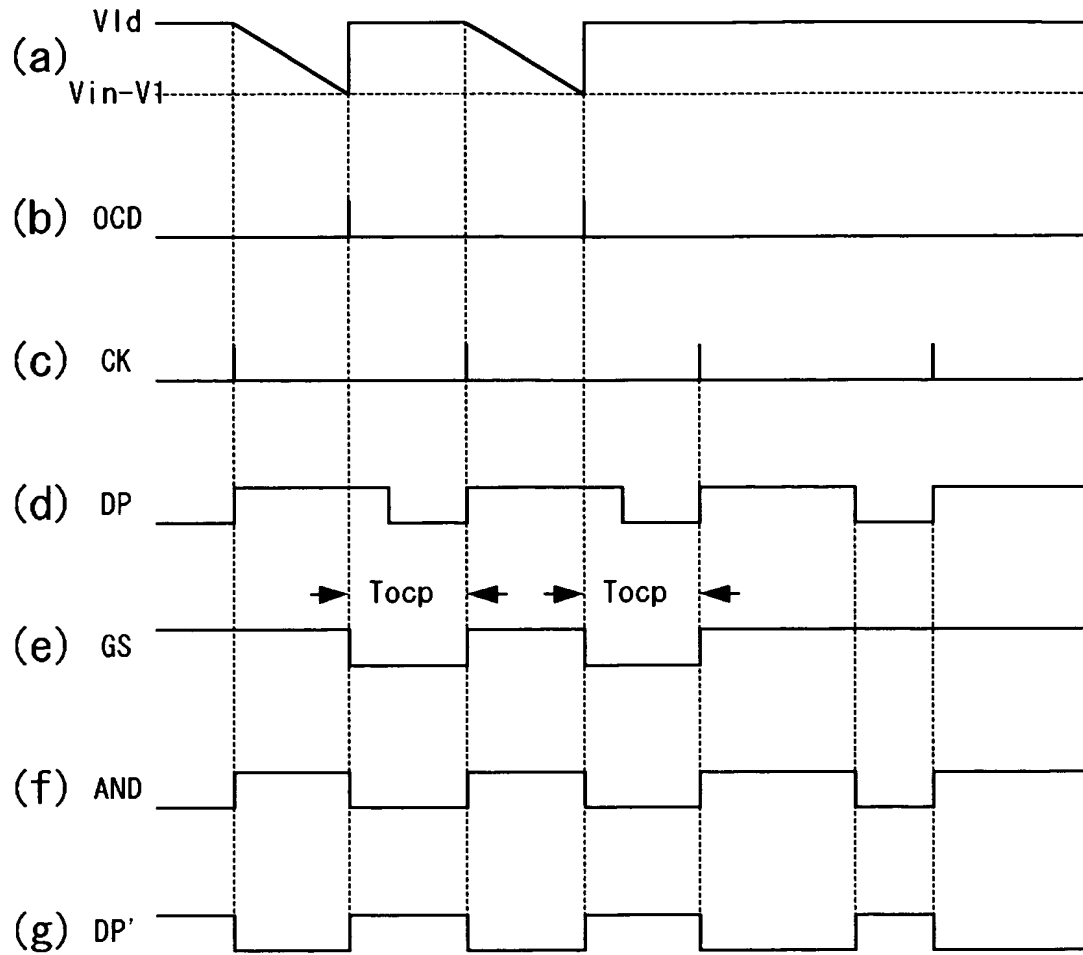
【図 10】



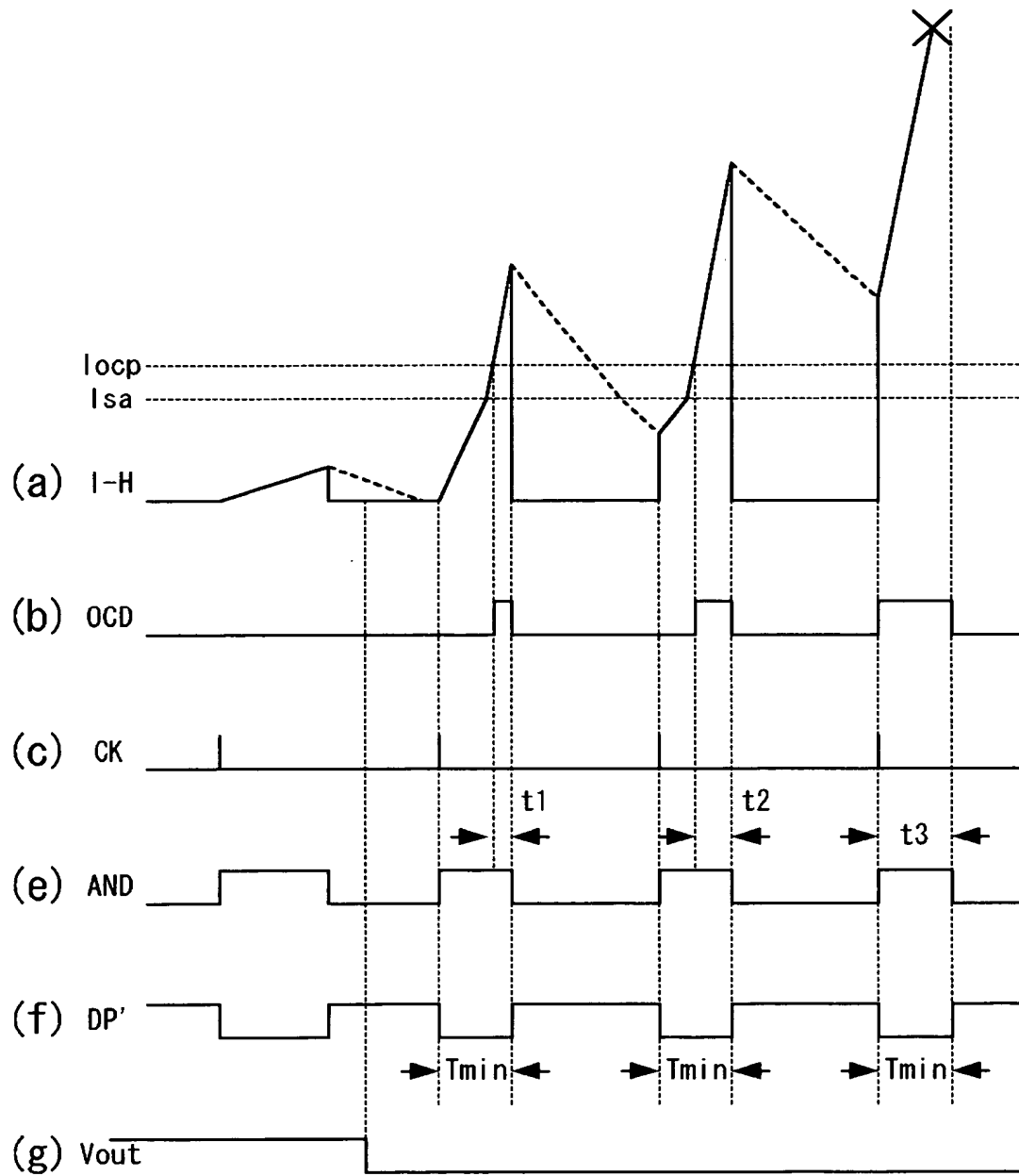
【図 11】



【図 12】



【図 13】



【書類名】 要約書**【要約】****【課題】**

起動時間が速く、負荷急変に対する応答に優れ、かつ過電流からの回路素子等の破壊を確実にかつ簡易な構成で保護することができるようにしたスイッチング電源回路およびその過電流保護方法を提供する。

【解決手段】

入力電源 1 0 をオンオフ制御するトランジスタ 2 0 を流れる電流が所定の値を越えたことを過電流検出回路 2 2 1 により検出するとともに、フライホイール電流を電流検出回路 2 3 0 により検出し、過電流検出回路 2 2 1 の検出出力に基づきトランジスタ 2 0 をオフ制御する過電流保護動作を行い、該過電流保護動作時には、電流検出回路 2 3 0 により検出されたフライホイール電流が略零になった後のクロックパルス C K のタイミングでトランジスタ 2 0 をオン制御する。

【選択図】 図 1

認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 4 1 9 5 7 2 |
| 受付番号 | 5 0 3 0 2 0 7 6 9 7 4 |
| 書類名 | 特許願 |
| 担当官 | 第三担当上席 0 0 9 2 |
| 作成日 | 平成 1 5 年 1 2 月 2 2 日 |

< 認定情報・付加情報 >

【提出日】 平成 15 年 12 月 17 日

特願 2 0 0 3 - 4 1 9 5 7 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 2 0 4 2 8 4]

| | |
|----------|---------------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 4 日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都台東区上野 6 丁目 1 6 番 2 0 号 |
| 氏 名 | 太陽誘電株式会社 |